

EXPRESS MAIL NO.
EV336620640US

BREVET D'INVENTION

CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION**COPIE OFFICIELLE**

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

Fait à Paris, le 11 FEV. 2003

Pour le Directeur général de l'Institut
national de la propriété industrielle
Le Chef du Département des brevets

Martine PLANCHE

INSTITUT
NATIONAL DE
LA PROPRIÉTÉ
INDUSTRIELLE

SIEGE
26 bis, rue de Saint Petersburg
75800 PARIS cedex 08
Téléphone : 33 (0)1 53 04 53 04
Télécopie : 33 (0)1 53 04 45 23
www.inpi.fr



26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08
Téléphone : 33 (1) 53 04 53 04 Télécopie : 33 (1) 42 94 86 54

BREVET D'INVENTION CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle - Livre VI

cerfa
N° 11354*03

REQUÊTE EN DÉLIVRANCE page 1/2



Cet imprimé est à remplir lisiblement à l'encre noire

DB 540 • W / 210502

26 NOV 2002 REMISE DATE 13 INPI MARSEILLE LIEU 0214820 N° D'ENREGISTREMENT NATIONAL ATTRIBUÉ PAR L'INPI DATE DE DÉPÔT ATTRIBUÉE PAR L'INPI 26 NOV. 2002		1 NOM ET ADRESSE DU DEMANDEUR OU DU MANDATAIRE À QUI LA CORRESPONDANCE DOIT ÊTRE ADRESSÉE OMNIPAT MARCHAND André 24 Place des Martyrs de la Résistance 13100 AIX EN PROVENCE	
Vos références pour ce dossier (facultatif) 100205 FR			
Confirmation d'un dépôt par télécopie		<input type="checkbox"/> N° attribué par l'INPI à la télécopie	
2 NATURE DE LA DEMANDE		Cochez l'une des 4 cases suivantes	
Demande de brevet		<input checked="" type="checkbox"/>	
Demande de certificat d'utilité		<input type="checkbox"/>	
Demande divisionnaire		<input type="checkbox"/>	
Demande de brevet initiale ou demande de certificat d'utilité initiale		N° _____ Date _____ N° _____ Date _____	
Transformation d'une demande de brevet européen Demande de brevet initiale		<input type="checkbox"/> N° _____ Date _____	
3 TITRE DE L'INVENTION (200 caractères ou espaces maximum) Circuit limiteur de tension, notamment pour pompe de charge			
4 DÉCLARATION DE PRIORITÉ OU REQUÊTE DU BÉNÉFICE DE LA DATE DE DÉPÔT D'UNE DEMANDE ANTÉRIEURE FRANÇAISE		Pays ou organisation _____ N° _____ Date _____ Pays ou organisation _____ N° _____ Date _____ Pays ou organisation _____ N° _____ Date _____ <input type="checkbox"/> S'il y a d'autres priorités, cochez la case et utilisez l'imprimé «Suite»	
5 DEMANDEUR (Cochez l'une des 2 cases)		<input checked="" type="checkbox"/> Personne morale <input type="checkbox"/> Personne physique	
Nom ou dénomination sociale		STMICROELECTRONICS SA	
Prénoms			
Forme juridique		Société Anonyme	
N° SIREN		3 4 1 4 5 9 3 8 6	
Code APE-NAF		3 2 1 B	
Domicile ou siège	Rue	29 Boulevard Romain Rolland	
	Code postal et ville	9 2 1 2 0 MONTRouGE	
	Pays	FRANCE	
Nationalité		FRANCE	
N° de téléphone (facultatif)		N° de télécopie (facultatif)	
Adresse électronique (facultatif)			
<input type="checkbox"/> S'il y a plus d'un demandeur, cochez la case et utilisez l'imprimé «Suite»			

Remplir impérativement la 2^{ème} page



BREVET D'INVENTION CERTIFICAT D'UTILITÉ

REQUÊTE EN DÉLIVRANCE
page 2/2



26 NOV 2002
 REMISE EN DÉPÔT
 DATE 13 INPI MARSEILLE
 LIEU
 N° D'ENREGISTREMENT 0214820
 NATIONAL ATTRIBUÉ PAR L'INPI

DB 540 W / 210502

6 MANDATAIRE		Réservé à l'INPI	
Nom	MARCHAND		
Prénom	André		
Cabinet ou Société	OMNIPAT		
N° de pouvoir permanent et/ou de lien contractuel			
Adresse	Rue	24 Place des Martyrs de la Résistance	
	Code postal et ville	13 10 00 AIX EN PROVENCE	
	Pays	FRANCE	
N° de téléphone (facultatif)	04.42.99.06.60		
N° de télécopie (facultatif)	04.42.99.06.69		
Adresse électronique (facultatif)			
7 INVENTEUR(S)		Les inventeurs sont nécessairement des personnes physiques	
Les demandeurs et les inventeurs sont les mêmes personnes		<input type="checkbox"/> Oui <input checked="" type="checkbox"/> Non : Dans ce cas remplir le formulaire de Désignation d'inventeur(s)	
8 RAPPORT DE RECHERCHE		Uniquement pour une demande de brevet (y compris division et transformation)	
Établissement immédiat ou établissement différé		<input checked="" type="checkbox"/> Établissement immédiat <input type="checkbox"/> Établissement différé	
Paiement échelonné de la redevance (en deux versements)		Uniquement pour les personnes physiques effectuant elles-mêmes leur propre dépôt <input type="checkbox"/> Oui <input checked="" type="checkbox"/> Non	
9 RÉDUCTION DU TAUX DES REDEVANCES		Uniquement pour les personnes physiques <input type="checkbox"/> Requête pour la première fois pour cette invention (joindre un avis de non-imposition) <input type="checkbox"/> Obtenue antérieurement à ce dépôt pour cette invention (joindre une copie de la décision d'admission à l'assistance gratuite ou indiquer sa référence): AG [] [] [] [] []	
10 SÉQUENCES DE NUCLEOTIDES ET/OU D'ACIDES AMINÉS		<input type="checkbox"/> Cochez la case si la description contient une liste de séquences	
Le support électronique de données est joint		<input type="checkbox"/> Oui <input type="checkbox"/> Non	
La déclaration de conformité de la liste de séquences sur support papier avec le support électronique de données est jointe		<input type="checkbox"/> Oui <input type="checkbox"/> Non	
Si vous avez utilisé l'imprimé «Suite», indiquez le nombre de pages jointes			
11 SIGNATURE DU DEMANDEUR OU DU MANDATAIRE (Nom et qualité du signataire)		VISA DE LA PRÉFECTURE OU DE L'INPI	
MARCHAND André - CPI N° 95 0303 OMNIPAT			

La loi n°78-17 du 6 janvier 1978 relative à l'informatique, aux fichiers et aux libertés s'applique aux réponses faites à ce formulaire. Elle garantit un droit d'accès et de rectification pour les données vous concernant auprès de l'INPI.

CIRCUIT LIMITEUR DE TENSION, NOTAMMENT POUR POMPE DE CHARGE

La présente invention concerne un circuit limiteur de tension, utilisable notamment à la sortie d'un circuit survolteur.

Les circuits survolteurs comme les pompes de charge
5 permettent de produire une tension électrique supérieure à une tension d'alimentation déterminée.. Dans le domaine des circuits intégrés, on utilise par exemple des pompes de charge pour produire la haute tension V_{pp} d'effacement et programmation des transistors à grille flottante des
10 mémoires effaçables et programmables électriquement (EEPROM, FLASH, FLASH-EEPROM...).

La figure 1 représente schématiquement une pompe de charge 1 fournissant une tension survoltée V_{pp} à une charge 2, ici une charge capacitive. Cette charge
15 capacitive est par exemple égale à la somme des capacités parasites de grille d'une pluralité de transistors à grille flottante à effacer ou à programmer simultanément. La pompe de charge 1 est pilotée par des signaux d'horloge S1, S2 en opposition de phase délivrés par un
20 oscillateur 3, et comprend une pluralité d'étages de pompage en cascade dont la structure, bien connue de l'homme de l'art, n'est pas représentée ici. La pompe de charge 1 reçoit en entrée une tension d'alimentation V_{cc} de l'ordre de 2 à 5 volts. L'amplitude de la tension V_{pp}
25 dépend du nombre total d'étages de pompage en cascade et est par ailleurs proportionnelle à la tension V_{cc} .

La tension V_{pp} est généralement de l'ordre de 10 à 20 volts et ne doit pas excéder un seuil V_{ppmax} au-delà duquel des transistors à effacer ou à programmer
30 pourraient être endommagés. Or, une pompe de charge est généralement prévue avec un nombre d'étages de pompage supérieur au nombre d'étages théoriquement suffisant,

afin de réduire le temps de montée de la tension V_{pp} lors de l'activation de la pompe de charge. De ce fait, après une période de démarrage, la pompe de charge peut délivrer une tension V_{pp} supérieure au seuil V_{ppmax} .

5 D'autre part, la tension d'alimentation V_{cc} peut fluctuer fortement par rapport à sa valeur nominale prise en compte lors de la conception de la pompe de charge, et une augmentation de la tension V_{cc} peut entraîner une augmentation correspondante de la tension V_{pp} au-delà du
10 seuil V_{ppmax} .

Un contrôle de la tension V_{pp} doit ainsi être prévu, afin de ne pas dépasser le seuil V_{ppmax} .

Comme illustré en figure 1, ce contrôle peut être assuré par un régulateur 5 agencé à la sortie de la pompe
15 de charge 1. Le régulateur 5 applique un signal de marche/arrêt ON/OFF à l'oscillateur et arrête la pompe de charge lorsque la tension V_{pp} atteint une valeur régulée V_{ppreg} prédéterminée, choisie inférieure ou égale à V_{ppmax} , puis redémarre la pompe lorsque la tension V_{pp}
20 est inférieure à cette valeur (régulation de type tout ou rien).

Cette solution est avantageuse en terme de consommation électrique et de souplesse d'emploi, mais un régulateur présente une structure relativement complexe
25 d'un encombrement non négligeable en terme de surface de silicium occupée.

Une autre solution pour contrôler la tension V_{pp} est de prévoir un simple limiteur de tension à la sortie de la pompe de charge.

30 Ainsi, la figure 2 représente un limiteur de tension 6 comprenant des diodes Zener en série agencées entre la sortie de la pompe de charge 1 et la masse, par exemple trois diodes Zener 7, 8, 9 présentant chacune une tension de seuil de l'ordre de 5V. La tension de seuil
35 V_{ppmax} du limiteur de tension est la somme des tensions de seuil de chacune des diodes, par exemple 15V. Cette solution permet de supprimer les composants actifs d'un

régulateur, mais les diodes Zener occupent elles-mêmes une surface non négligeable dans un circuit intégré, et au moins aussi importante que les composants actifs d'un régulateur. De plus, leur fabrication nécessite des
5 étapes spécifiques de dopage qui sont pénalisantes en terme de prix de revient.

La figure 3 représente une solution d'une très grande simplicité dans laquelle la limitation de la tension V_{pp} est assurée par une jonction PN agencée en
10 inverse entre la sortie de la pompe de charge et la masse et représentée ici sous la forme d'une diode 10. Lorsque la tension V_{pp} atteint une valeur supérieure à la tension de claquage de la jonction PN, celle-ci devient passante par effet d'avalanche. Le nombre de diodes à prévoir en
15 série dépend de leur tension de claquage et de la valeur maximale V_{ppmax} visée. Une jonction PN polarisée en inverse présentant généralement une tension de claquage de l'ordre de 17V, une seule diode peut permettre de limiter entre 15 et 20V la tension V_{pp} appliquée à des
20 cellules mémoire.

Dans un circuit intégré MOS ou CMOS, la diode 10 est en réalité un transistor MOS agencé en diode, c'est-à-dire un transistor ayant sa grille reliée à son drain ou à sa source (selon qu'il s'agit d'un transistor PMOS
25 ou NMOS). Or, un transistor diode présente l'inconvénient que sa tension de claquage varie avec le temps, car des charges électriques fournies par le courant d'avalanche sont piégées dans l'oxyde de grille du transistor diode. Ce phénomène est généralement désigné "Roll-off" de
30 jonction, et apparaît après un nombre de claquages assez faible, généralement inférieur à 100, car le courant de limitation qui traverse le transistor diode est souvent assez important, de quelques dizaines à quelques
centaines de microampères.

35 Certains fabricants de circuits intégrés s'accommodent de cet effet parasite mais il en résulte une grande imprécision en ce qui concerne la tension de

déclenchement des limiteurs à jonction PN, qui tend à augmenter avec le temps. Or, on estime qu'une telle imprécision peut être à l'origine de la durée de vie médiocre de certaines mémoires en circuits intégrés, dont
5 les cellules mémoire reçoivent des pics de tension V_{pp} de plus en plus élevés avec la dégradation de la tension de claquage de la jonction PN de leurs limiteurs de tension.

Ainsi, la présente invention vise un limiteur de tension à faible encombrement basé sur le principe d'un
10 claquage de jonction PN, mais qui offre une tension de claquage stable dans le temps et peu sujette au phénomène de Roll-off précité.

A cet effet, une idée de la présente invention est de prévoir un interrupteur en parallèle avec la jonction
15 PN, et de commuter cet interrupteur dans l'état passant lorsque la jonction PN devient conductrice afin d'envoyer le courant de limitation dans l'interrupteur. A cet effet, la jonction PN est reliée à une charge en série qui diminue l'intensité du courant d'avalanche et qui
20 force la quasi-totalité du courant de limitation à passer dans l'interrupteur. On empêche ainsi l'accumulation de charges électriques dans un oxyde de la jonction PN.

Plus particulièrement, la présente invention prévoit un circuit limiteur de tension comprenant au
25 moins une jonction PN présentant une tension de claquage définissant un seuil de déclenchement du circuit limiteur de tension à partir duquel la jonction PN est passante par effet d'avalanche, au moins une charge en série avec la jonction PN, pour limiter un courant d'avalanche
30 traversant la jonction lorsque la jonction est passante, et au moins un interrupteur en parallèle avec la jonction PN et la charge, qui est ouvert lorsque la jonction est bloquée et fermé lorsque la jonction PN est passante.

Selon un mode de réalisation, la charge est choisie
35 de manière que le courant d'avalanche traversant la jonction PN soit au moins deux fois inférieur à un

courant traversant l'interrupteur lorsque le circuit limiteur de tension est déclenché.

Selon un mode de réalisation, la jonction PN est une jonction de transistor MOS agencé en diode.

5 Selon un mode de réalisation, la charge comprend un transistor MOS.

Selon un mode de réalisation, l'interrupteur comprend un transistor MOS.

10 Selon un mode de réalisation, le transistor MOS de l'interrupteur est agencé en miroir de courant avec le transistor MOS de la charge.

Selon un mode de réalisation, l'interrupteur comprend un transistor PMOS dont la grille est connectée à une borne de la jonction PN.

15 Selon un mode de réalisation, l'interrupteur comprend un transistor NMOS dont la grille est reliée à une borne de la jonction PN par l'intermédiaire d'un inverseur.

20 La présente invention concerne également un circuit intégré comprenant un circuit limiteur de tension selon l'invention, agencé à la sortie d'un générateur de tension fournissant une tension déterminée.

Selon un mode de réalisation, le générateur de tension est un circuit survolteur.

25 La présente invention concerne également un régulateur de tension comprenant un circuit limiteur de tension selon l'invention, et des moyens pour délivrer un signal logique de valeur déterminée lorsque le circuit limiteur de tension est déclenché.

30 Selon un mode de réalisation, les moyens pour délivrer un signal logique de valeur déterminée comprennent un circuit inverseur dont l'entrée est reliée à un point du circuit limiteur de tension, et une porte logique ayant une entrée reliée à la sortie du circuit inverseur, la porte logique assurant une adaptation en
35 tension du signal logique, depuis une tension à réguler

présente dans le circuit limiteur vers une tension de signal logique.

La présente invention concerne également un procédé pour limiter une tension au moyen d'au moins une jonction PN présentant une tension de claquage à partir de laquelle la jonction PN est passante par effet d'avalanche, comprenant les étapes consistant à : limiter un courant d'avalanche traversant la jonction PN en disposant au moins une charge en série avec la jonction PN, prévoir au moins un interrupteur en parallèle avec la jonction PN et fermer l'interrupteur lorsque la jonction PN devient passante.

Selon un mode de réalisation, la charge est choisie de manière que le courant d'avalanche traversant la jonction PN soit au moins deux fois inférieur à un courant traversant l'interrupteur.

Selon un mode de réalisation, la jonction PN est une jonction de transistor MOS agencé en diode.

Selon un mode de réalisation, la charge comprend un transistor MOS.

Selon un mode de réalisation, l'interrupteur comprend un transistor MOS.

Selon un mode de réalisation, le transistor MOS de l'interrupteur est agencé en miroir de courant avec le transistor MOS de la charge.

Selon un mode de réalisation, le transistor MOS de l'interrupteur est un transistor PMOS dont la grille est connectée à une borne de la jonction PN.

Selon un mode de réalisation, le transistor MOS de l'interrupteur est un transistor NMOS dont la grille est reliée à une borne de la jonction PN par l'intermédiaire d'un inverseur.

Selon un mode de réalisation, le procédé est appliqué à la limitation d'une tension délivrée par un circuit survolteur.

Selon un mode de réalisation, le procédé comprend une étape d'arrêt du circuit survolteur lorsque la jonction PN devient passante.

Ces objets caractéristiques et avantages ainsi que d'autres de la présente invention seront exposés plus en détail dans la description suivante de divers exemples de réalisation de limiteurs de tension selon l'invention, faite à titre non limitatif en relation avec les figures jointes parmi lesquelles :

- 10 - la figure 1 précédemment décrite représente schématiquement une pompe de charge pourvue d'un régulateur de tension classique,
- la figure 2 précédemment décrite représente une pompe de charge pourvue d'un limiteur de tension classique à diodes Zener,
- 15 - la figure 3 précédemment décrite représente une pompe de charge pourvue d'un limiteur de tension classique à claquage de jonction,
- la figure 4 est le schéma de principe d'un
- 20 limiteur de tension selon l'invention,
- la figure 5 représente un premier exemple de réalisation d'un limiteur de tension selon l'invention,
- la figure 6 représente un deuxième exemple de réalisation d'un limiteur de tension selon l'invention,
- 25 et
- la figure 7 représente un troisième exemple de réalisation d'un limiteur de tension selon l'invention et illustre également une application de l'invention à la régulation de tension.

30 La figure 4 est le schéma de principe d'un limiteur de tension 16 selon l'invention. Le limiteur de tension 16 est agencé entre la sortie d'un circuit survolteur 1 et la masse. Le circuit survolteur 1 est par exemple une pompe de charge alimentée par une tension V_{cc} ,
35 fournissant une tension V_{pp} . La tension V_{pp} est appliquée à une charge 2, ici une charge capacitive représentant à

titre d'exemple des capacités de grille de cellules mémoire à effacer ou à programmer.

Le limiteur de tension 16 comprend un étage de déclenchement comportant une jonction PN en série avec
5 une charge LD à forte résistance série. La jonction PN est agencée dans le sens bloqué et est représentée ici sous la forme d'une diode DPN dont l'anode est à la masse (la diode étant agencée en inverse) et dont la cathode est reliée à la sortie du circuit survolteur 1 par
10 l'intermédiaire de la charge LD.

Le limiteur de tension 16 comprend également un étage de limitation en parallèle avec l'étage de déclenchement. L'étage de limitation comprend un interrupteur SW à faible résistance série agencé entre la
15 sortie du circuit survolteur 1 et la masse. L'interrupteur SW est piloté par une tension Vd délivrée par l'étage de déclenchement, la tension Vd étant par exemple prélevée sur la cathode de la diode DPN.

Le limiteur de tension selon l'invention fonctionne
20 comme suit. Tant que la tension Vpp est inférieure à la tension de claquage de la diode DPN, que l'on désignera Vppmax, la diode reste bloquée. La tension de cathode Vd recopie la tension Vpp et l'interrupteur SW est ouvert (non passant). Lorsque la tension Vpp atteint la tension
25 de claquage, la diode DPN devient passante et la tension Vd tend vers zéro (masse). De façon quasi immédiate, l'interrupteur SW se ferme (devient passant) en court-circuitant la sortie du circuit survolteur. Lorsque la tension Vpp redevient inférieure à la tension de
30 claquage, la diode repasse dans l'état bloqué et l'interrupteur SW s'ouvre à nouveau, de sorte que la sortie du circuit survolteur est à nouveau isolée de la masse.

Grâce à la présente invention, la quasi-totalité
35 d'un courant de limitation passe dans l'interrupteur SW plutôt que dans la diode DPN, car la résistance série de l'interrupteur SW est faible par rapport à celle de la

charge LD. Ce courant de limitation est essentiellement formé par le courant débité par le circuit survolteur auquel s'ajoute éventuellement un courant de décharge délivré par la charge capacitive 2.

5 L'interrupteur SW, grâce à sa capacité à drainer du courant, assure ainsi la fonction de limitation de tension, tandis que l'étage de déclenchement a seulement pour fonction de détecter la tension de seuil V_{ppmax} et de fermer l'interrupteur lorsque cette tension est
10 atteinte.

Ainsi, lorsque le limiteur de tension se déclenche, la jonction PN est traversée par un courant d'avalanche I_1 très faible devant un courant I_2 traversant l'interrupteur SW. Le courant I_1 , par exemple de l'ordre
15 du nanoampère, est insuffisant pour injecter des charges électriques dans l'oxyde de grille d'un transistor MOS susceptible d'être utilisé pour former la diode DPN, ce qui empêche l'apparition de l'effet de "Roll-off".

Pour que le limiteur de tension selon l'invention
20 fonctionne de façon satisfaisante, il faut prévoir un taux d'amplification important entre l'étage de déclenchement et l'étage de limitation, et une réaction quasi immédiate de l'étage de limitation lorsque l'étage de déclenchement devient conducteur. De cette manière, la
25 tension de claquage de la jonction PN reste stable dans le temps, dans des conditions d'utilisation identiques, même après des centaines de cycles de déclenchement.

La figure 5 représente un premier exemple de réalisation 16-1 du limiteur de tension selon
30 l'invention.

L'étage de déclenchement comprend un transistor PMOS 20 en série avec un transistor NMOS 21. La source du transistor 20 reçoit la tension V_{pp} et le drain de ce transistor est relié au drain du transistor 21 dont la
35 source est reliée à la masse. Le transistor 20 a sa grille reliée à son drain et le transistor 21 a sa grille reliée à sa source. Le transistor 20 fonctionne en régime

linéaire et forme la charge LD représentée en figure 4. Le transistor 21 est agencé en diode et forme la diode DPN représentée en figure 4.

L'étage de limitation comprend un transistor PMOS 22 et un transistor NMOS 23. La source du transistor 22 reçoit la tension V_{pp} et le drain de ce transistor est relié au drain du transistor 23 dont la source est reliée à la masse. La grille du transistor 22 est reliée au drain du transistor 21 et reçoit la tension V_d . La grille du transistor 23 reçoit une tension de polarisation positive inférieure à V_{pp} , par exemple la tension d'alimentation V_{cc} . Le transistor 22 forme l'interrupteur SW de la figure 4 et présente un rapport largeur sur longueur de grille W/L élevé, ce qui garantit une résistance série dans l'état passant (R_{dson}) de faible valeur. Le transistor 23 est optionnel et n'est prévu que pour des raisons techniques, notamment pour contrôler la consommation du circuit lorsque celui-ci est inactif.

Du fait de leur agencement, les transistors 20 et 22 forment un miroir de courant. Ainsi, lorsque le transistor diode 21 est passant, le courant I_2 dans l'étage de limitation est proportionnel au courant I_1 dans l'étage de déclenchement. Le rapport $K = I_2/I_1$ est fixé par les dimensions relatives des transistors 20, 22, et plus particulièrement par le rapport W/L (largeur sur longueur de grille) de chacun de ces transistors. Le rapport W/L du transistor 20 est de préférence inférieur à 1 et faible devant celui du transistor 22, qui est de préférence supérieur à 10. Dans ce cas, le rapport K est élevé -supérieur à 100 voire plus- ce qui garantit que le courant I_1 reste très faible quand le courant de limitation à drainer est élevé (le courant de limitation étant ainsi essentiellement égal au courant I_2).

Toutefois un rapport K faible, par exemple supérieur ou égal à 2, peut être suffisant selon les conditions de fonctionnement. En effet, outre la réduction de l'intensité du courant d'avalanche

traversant la jonction, le limiteur de tension selon l'invention permet aussi de réduire la durée du courant d'avalanche et cette durée est un paramètre pertinent en ce qui concerne l'injection de charges parasites dans la
5 jonction, en raison de la relation classique $Q=It$ (I étant le courant, t le temps et Q la charge électrique). La charge électrique totale Q traversant la jonction au cours d'une action de limitation est donc plus faible non seulement en raison de la limitation du paramètre " I "
10 mais également en raison de la limitation du paramètre " t ". D'autre part, un rapport K de faible valeur peut également suffire lorsque le déclenchement du limiteur de tension s'accompagne d'une action de régulation du circuit survolteur (par exemple par application d'un
15 signal de marche/arrêt comme cela sera décrit plus loin) ou encore lorsque le circuit survolteur est de faible puissance, etc.. Egalement, le rapport K doit être choisi en fonction de la rapidité de déclenchement de l'étage de limitation.

20 Lorsque la tension V_{pp} devient égale à la tension de claquage V_{ppmax} de la jonction PN du transistor diode 21, celui-ci devient passant et la tension V_d tend vers 0. Le transistor 22 a sa grille tirée à la masse et devient passant. Le transistor 22 est alors parcouru par
25 un courant I_2 égal à K fois le courant I_1 .

A titre d'exemple numérique, un limiteur de tension selon l'invention réalisé dans un circuit intégré MOS de technologie 0,5 micromètre (dimension minimale d'une grille de transistor) peut drainer un courant de
30 limitation de l'ordre de quelques centaines de microampères lorsqu'une tension V_{ppmax} de l'ordre de 15V est atteinte. Ce courant de limitation est essentiellement le courant I_2 dans l'étage de limitation, le courant I_1 dans l'étage de déclenchement étant de
35 l'ordre de quelques nanoampères. Le courant I_1 est ainsi insuffisant pour entraîner une injection de charges électriques dans un oxyde de grille. La tension de

déclenchement V_{ppmax} du limiteur de tension selon l'invention reste ainsi sensiblement constante dans le temps, dans des conditions d'utilisation identiques.

La figure 6 illustre un deuxième exemple de réalisation 16-2 du limiteur de tension selon l'invention. On retrouve dans l'étage de déclenchement le transistor diode 21 mais la charge LD est ici une résistance 24 de forte valeur reliant la sortie du circuit survolteur 1 au drain du transistor diode 21.

L'étage de limitation comprend ici un transistor PMOS 25 dont la source reçoit la tension V_{pp} et dont le drain est relié à la masse par l'intermédiaire d'une résistance 26 de forte valeur. L'étage de limitation comprend également un transistor NMOS 28 en parallèle avec le transistor 25 et la résistance 26. Le transistor 28 reçoit la tension V_{pp} sur son drain, sa source est connectée à la masse et sa grille est reliée au drain du transistor 25.

Le transistor 25 présente un rapport W/L de faible valeur et forme avec la résistance 26 un inverseur 27 à faible consommation de courant, dont l'entrée est la grille du transistor 25. Le transistor 28 forme l'interrupteur SW de la figure 4 et présente de préférence un rapport W/L de valeur élevée, pour des raisons exposées et discutées plus haut. La sortie de l'inverseur 27 est formée par le drain du transistor 25 et pilote le transistor interrupteur 28.

La valeur de la résistance 24 formant la charge LD du transistor diode 21 est choisie en fonction de la valeur maximale visée pour le courant d'avalanche I_1 . Cette résistance est au moins de quelques dizaines de $M\Omega$ pour l'obtention d'un courant I_1 de l'ordre de quelques nanoampères.

Tant que la tension V_{pp} n'a pas atteint la tension de claquage V_{ppmax} de la jonction PN du transistor diode 21, l'entrée de l'inverseur 27 reçoit la tension V_{pp} . La sortie de l'inverseur 27 est à 0 (masse) et le transistor

interrupteur 28 est bloqué. Lorsque la tension V_{ppmax} est atteinte et que le transistor diode 21 devient passant, le transistor 25 devient également passant car sa tension source-grille devient supérieure à sa tension de seuil V_t . La sortie de l'inverseur 27 fournit alors la tension V_{pp} sur la grille du transistor interrupteur 28 qui devient lui-même passant. Le transistor 28 draine le courant I_2 de limitation de la tension V_{pp} , qui est comme précédemment très supérieur au courant I_1 traversant l'étage de déclenchement. Est également négligeable devant le courant I_1 , un courant I_2' traversant l'inverseur 27.

Ce second mode de réalisation permet d'utiliser un transistor NMOS comme interrupteur limiteur de tension. Ce type de transistor présente un encombrement moindre qu'un transistor PMOS pour un courant équivalent traversant son canal. Le transistor PMOS 25 n'ayant pas besoin de conduire un fort courant, son rapport W/L est petit comme indiqué plus haut et son encombrement négligeable.

La figure 7 représente un troisième exemple de réalisation 16-3 d'un limiteur de tension selon l'invention, et illustre une extension de l'idée de l'invention à la réalisation d'un régulateur de type tout ou rien, indépendamment du problème du Roll-off de jonction.

L'étage de déclenchement du limiteur de tension 16-3 comprend comme précédemment une diode 30 agencée dans le sens bloqué, reliée à la sortie du circuit survolteur 1 par l'intermédiaire d'un transistor PMOS 31. Le transistor 31 présente un rapport W/L de faible valeur et forme la charge LD de la figure 4. La grille du transistor 31 est ici polarisée par une tension de référence V_{POL} destinée à imposer un courant déterminé dans l'étage de déclenchement lorsque celui-ci est passant, le transistor 31 formant ainsi une source de courant résistive. La diode 30 est de tout type connu,

par exemple une jonction PN de transistor MOS, une diode obtenue selon la technologie des transistors bipolaires, etc. , le présent mode de réalisation ne visant pas nécessairement à pallier le Roll-off de jonction.

5 L'étage de limitation comprend un transistor PMOS 32 dont la grille est pilotée par la tension V_d prélevée sur la cathode de la diode 30. Le transistor 32 reçoit la tension V_{pp} sur sa source et son drain est ici directement relié à la masse, mais pourrait aussi l'être
10 par l'intermédiaire d'un transistor NMOS, comme dans le cas du transistor 22 décrit plus haut.

Le fonctionnement du limiteur de tension 16-3 est à peu près semblable à celui des modes de réalisation précédents et ne sera pas décrit à nouveau.

15 Selon l'invention, la tension V_d prélevée sur la cathode de la diode 30 est également appliquée à la grille de commande d'un transistor 33 de type PMOS dont la source reçoit la tension V_{pp} et dont le drain est relié à la masse par l'intermédiaire d'une résistance 34.
20 Le transistor 33 et la résistance 34 forment un inverseur 35 semblable à l'inverseur 27 de la figure 6. La sortie de l'inverseur (drain du transistor 33) est appliquée à l'entrée d'une porte inverseuse 36 alimentée par la tension V_{cc} , qui forme un adaptateur de tension V_{pp}/V_{cc} .
25 La porte 36 délivre ainsi un signal ON/OFF qui est à 1 (V_{cc}) lorsque la tension V_d est égale à V_{pp} (limiteur de tension 16-3 non actif) et qui est à 0 (masse) lorsque la diode 30 est passante (limiteur de tension 16-3 actif). Ce signal ON/OFF est utilisé ici comme signal de
30 marche/arrêt du circuit survolteur 1, celui-ci étant mis hors tension (ou désactivé par suppression des signaux d'horloge, dans le cas d'une pompe de charge) lorsque le signal ON/OFF est égal à 0.

Le limiteur de tension 16-3 forme ainsi, avec
35 l'inverseur 35 et la porte inverseuse 36, un régulateur 40 selon l'invention qui présente un faible encombrement

par rapport aux régulateurs classiques utilisant des diodes Zener en série en tant que limiteur de tension.

Il apparaîtra clairement à l'homme de l'art que la présente invention est susceptible de diverses autres
5 variantes de réalisation. Notamment, diverses combinaisons des modes de réalisation décrit plus haut peuvent être prévues.

Ainsi, en référence à la figure 4, les positions relatives des éléments de l'étage de déclenchement
10 peuvent notamment être inversées, la charge LD étant alors reliée à la masse et la diode DPN reliée à la sortie du circuit survolteur 1. Dans ce cas, la tension V_d de commande de l'interrupteur SW est prélevée sur l'anode de la charge LD et présente une valeur inverse de
15 la tension V_d précédemment décrite. Cette tension V_d permet de piloter un transistor interrupteur NMOS sans utiliser un inverseur.

D'autre part, plusieurs jonctions PN en série peuvent être prévues selon la valeur de la tension de
20 déclenchement visée. Ces diverses jonctions PN peuvent être agencées avant ou après la charge LD, ou de part et d'autre de la charge LD qui peut elle-même comprendre plusieurs éléments de charge. L'interrupteur de limitation SW peut lui-même comprendre plusieurs éléments
25 interrupteurs en parallèle voire en série si la tension à limiter est très élevée et ne peut être entièrement supportée par un seul interrupteur.

La présente invention est également susceptible de diverses applications. Bien que l'on se soit attaché dans
30 ce qui précède à décrire une application de l'invention au contrôle de la tension V_{pp} d'effacement et de programmation de cellules mémoire, il va de soi que diverses autres applications peuvent être prévues, et non nécessairement pour contrôler une tension survoltée.

35 Enfin, bien qu'initialement prévue pour résoudre le problème de la dégradation de la tension de claquage d'une jonction PN dû à l'effet de Roll-off, la présente

invention propose un limiteur de tension d'une architecture simple et performante qui est susceptible d'application dans diverses technologies, y compris lorsque l'effet de Roll-off ne se produit pas, par exemple lorsque la jonction PN est réalisée selon la technologie des transistors bipolaires.

REVENDECATIONS

1. Circuit limiteur de tension (16, 16-1, 16-2, 16-3) comprenant au moins une jonction PN (DPN, 21) présentant une tension de claquage (V_{ppmax}) définissant un seuil de déclenchement du circuit limiteur de tension
5 à partir duquel la jonction PN est passante par effet d'avalanche, caractérisé en ce qu'il comprend :

- au moins une charge (LD, 20, 24, 31) en série avec la jonction PN, pour limiter un courant d'avalanche (I_1) traversant la jonction lorsque la jonction est passante,
10 et
- au moins un interrupteur (SW, 22, 28, 32) en parallèle avec la jonction PN et la charge, qui est ouvert lorsque la jonction est bloquée et fermé lorsque la jonction PN est passante.

15 2. Circuit limiteur de tension selon la revendication 1, dans lequel la charge est choisie de manière que le courant d'avalanche (I_1) traversant la jonction PN soit au moins deux fois inférieur à un
20 courant (I_2) traversant l'interrupteur lorsque le circuit limiteur de tension est déclenché.

3. Circuit limiteur de tension selon l'une des revendications 1 et 2, dans lequel la jonction PN est une
25 jonction de transistor MOS (21) agencé en diode.

4. Circuit limiteur de tension selon l'une des revendications 1 à 3, dans lequel la charge (LD) comprend un transistor MOS (20, 31).
30

5. Circuit limiteur de tension selon l'une des revendications 1 à 4, dans lequel l'interrupteur (SW) comprend un transistor MOS (22, 28, 32).

6. Circuit limiteur de tension selon les revendications 4 et 5, dans lequel le transistor MOS (22) de l'interrupteur (SW) est agencé en miroir de courant avec le transistor MOS (20) de la charge (LD).

5

7. Circuit limiteur de tension selon l'une des revendications 5 et 6, dans lequel l'interrupteur (SW) comprend un transistor PMOS (22) dont la grille est connectée à une borne de la jonction PN.

10

8. Circuit limiteur de tension selon la revendication 5, dans lequel l'interrupteur (SW) comprend un transistor NMOS (28) dont la grille est reliée à une borne de la jonction PN par l'intermédiaire d'un inverseur (27).

15

9. Circuit intégré, caractérisé en ce qu'il comprend un circuit limiteur de tension selon les revendications 1 à 8, agencé à la sortie d'un générateur de tension (1) fournissant une tension déterminée (V_{pp}).

20

10. Circuit intégré selon la revendication 9, dans lequel le générateur de tension (1) est un circuit survolteur.

25

11. Régulateur de tension (40), caractérisé en ce qu'il comprend un circuit limiteur de tension (16-3) selon l'une des revendications 1 à 8, et des moyens (35, 36) pour délivrer un signal logique (ON/OFF) de valeur déterminée lorsque le circuit limiteur de tension est déclenché.

30

12. Régulateur de tension (40) selon la revendication 11, dans lequel les moyens pour délivrer un signal logique (ON/OFF) de valeur déterminée comprennent un circuit inverseur (33) dont l'entrée est reliée à un point du circuit limiteur de tension (16-3), et une porte

35

logique (36) ayant une entrée reliée à la sortie du circuit inverseur (33), la porte logique assurant une adaptation en tension du signal logique, depuis une tension à réguler (V_{pp}) présente dans le circuit limiteur
5 vers une tension (V_{cc}) de signal logique.

13. Procédé pour limiter une tension (V_{pp}) au moyen d'au moins une jonction PN (DPN, 21) présentant une tension de claquage (V_{ppmax}) à partir de laquelle la
10 jonction PN est passante par effet d'avalanche, caractérisé en ce qu'il comprend les étapes consistant à :

- limiter un courant d'avalanche (I_1) traversant la jonction PN en disposant au moins une charge (LD, 20, 24, 31) en série avec la jonction PN, et
15
- prévoir au moins un interrupteur (SW, 22, 28, 32) en parallèle avec la jonction PN et fermer l'interrupteur lorsque la jonction PN devient passante.

20 14. Procédé selon la revendication 13, dans lequel la charge est choisie de manière que le courant d'avalanche (I_1) traversant la jonction PN soit au moins deux fois inférieur à un courant (I_2) traversant l'interrupteur.

25 15. Procédé selon l'une des revendications 13 et 14, dans lequel la jonction PN est une jonction de transistor MOS agencé en diode.

30 16. Procédé selon l'une des revendications 13 à 15, dans lequel la charge (LD) comprend un transistor MOS (20, 31).

35 17. Procédé selon l'une des revendications 13 à 16, dans lequel l'interrupteur (SW) comprend un transistor MOS (22, 28, 32).

18. Procédé selon les revendications 16 et 17, dans lequel le transistor MOS (22) de l'interrupteur (SW) est agencé en miroir de courant avec le transistor MOS (20) de la charge (LD).

5

19. Procédé selon l'une des revendications 17 et 18, dans lequel le transistor MOS de l'interrupteur (SW) est un transistor PMOS (22) dont la grille est connectée à une borne de la jonction PN.

10

20. Procédé selon la revendication 17, dans lequel le transistor MOS de l'interrupteur (SW) est un transistor NMOS (28) dont la grille est reliée à une borne de la jonction PN par l'intermédiaire d'un inverseur (27).

15

21. Procédé selon l'une des revendications 13 à 20, appliqué à la limitation d'une tension délivrée par un circuit survolteur.

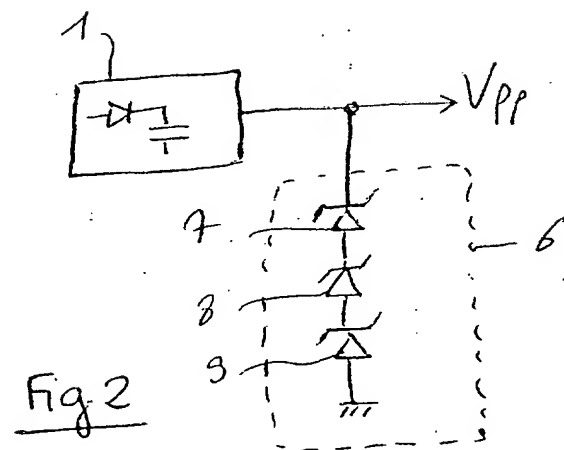
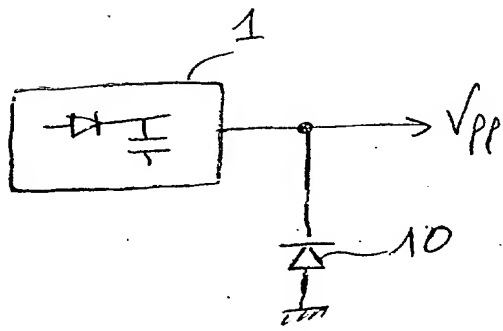
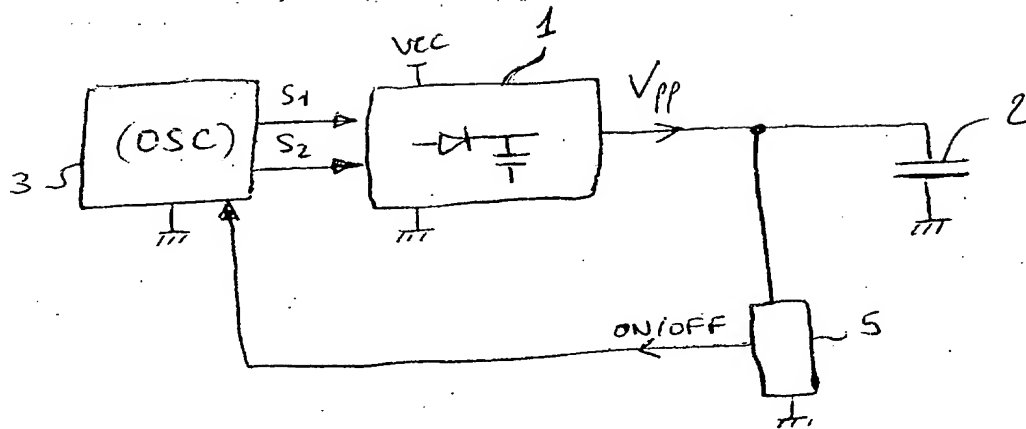
20

22. Procédé selon la revendication 21, comprenant une étape d'arrêt du circuit survolteur lorsque la jonction PN devient passante.

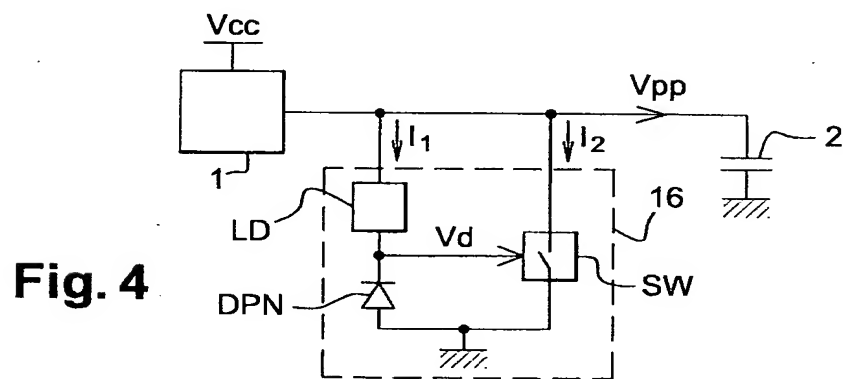
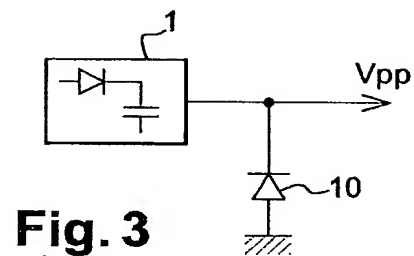
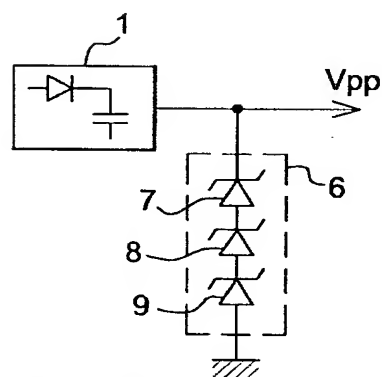
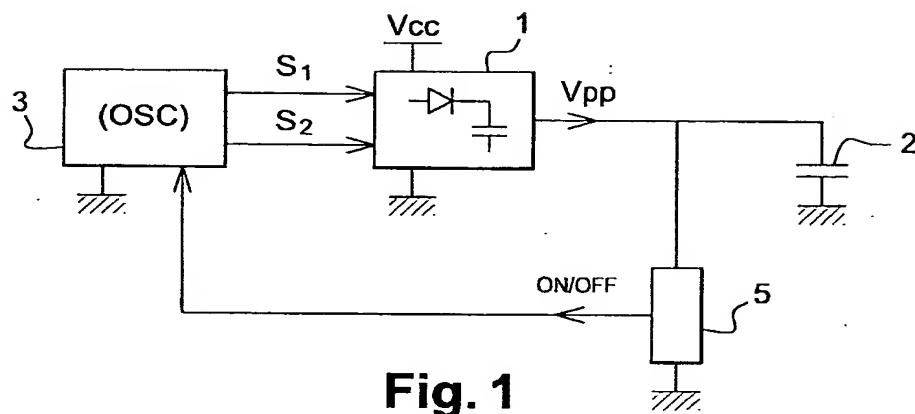
DESSINS PROVISOIRES

Dessins provisoires de la demande de brevet d'invention

1/2



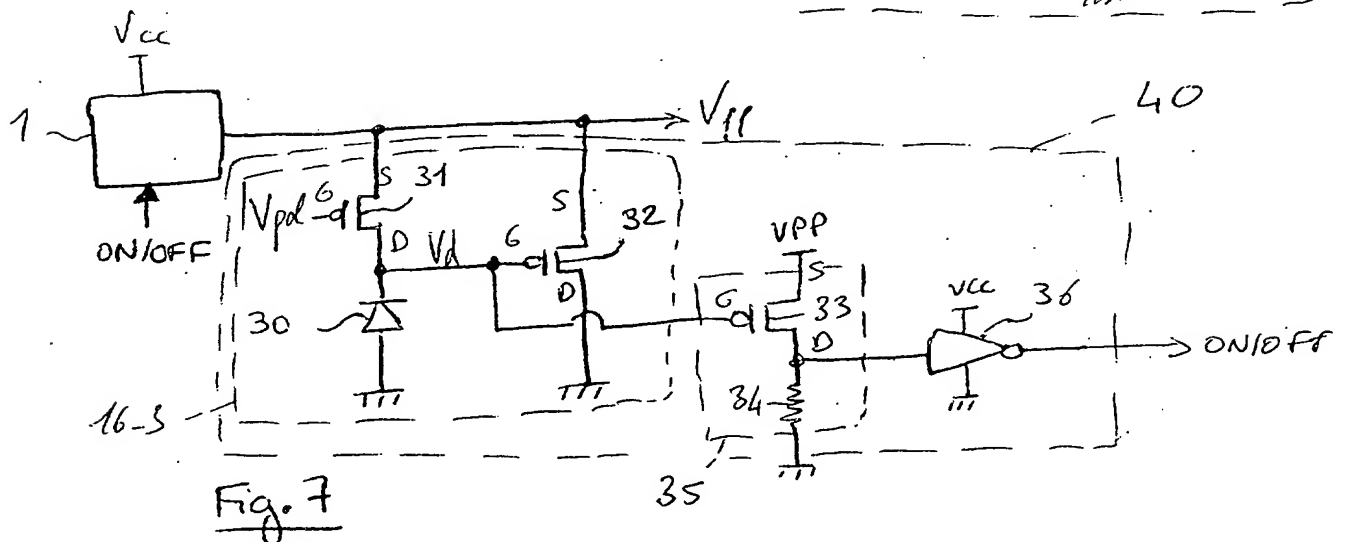
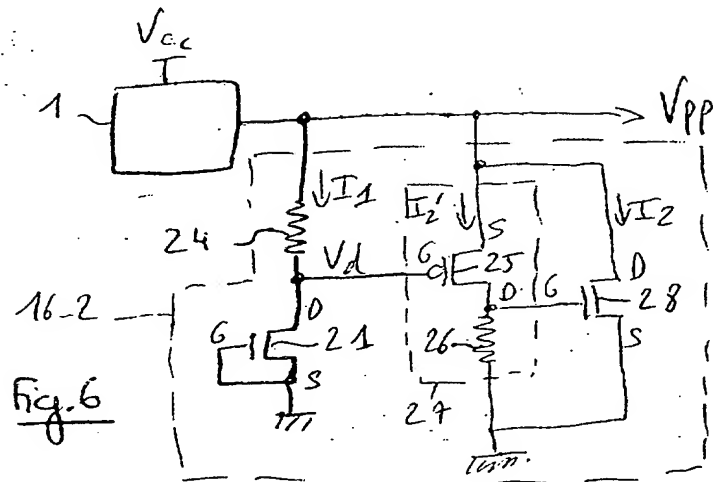
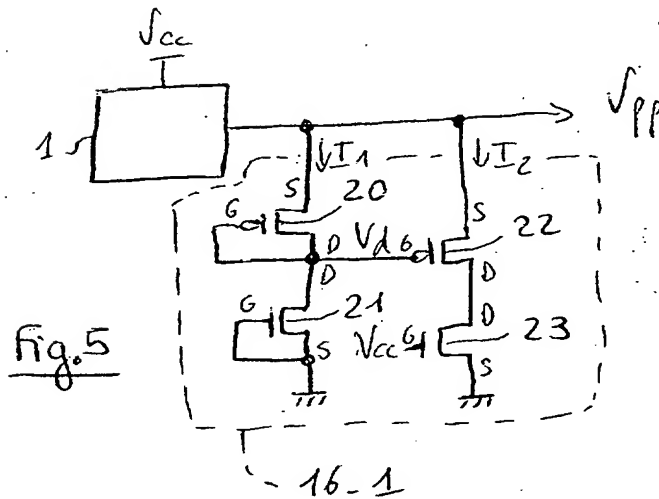
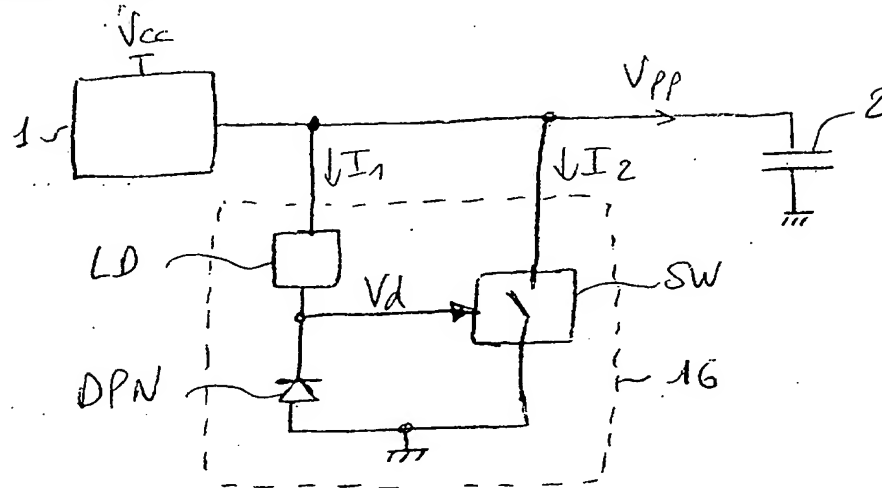
1 / 2



DESSINS PROVISOIRES

Dessins Définitifs en cours d'élaboration

2 / 2





DÉPARTEMENT DES BREVETS

26 bis, rue de Saint Pétersbourg

75800 Paris Cedex 08

Téléphone : 01 53 04 53 04 Télécopie : 01 42 93 59 30

BREVET D'INVENTION**CERTIFICAT D'UTILITÉ**

Code de la propriété intellectuelle - Livre VI



N° 11 235 02

DÉSIGNATION D'INVENTEUR(S) Page N° 1. / 1..

(Si le demandeur n'est pas l'inventeur ou l'unique inventeur)

Cet imprimé est à remplir lisiblement à l'encre noire

DB 113 W / 260899

Vos références pour ce dossier (facultatif)		100205 FR	
N° D'ENREGISTREMENT NATIONAL		0214820	
TITRE DE L'INVENTION (200 caractères ou espaces maximum) Circuit limiteur de tension, notamment pour pompe de charge			
LE(S) DEMANDEUR(S) : MARCHAND André OMNIPAT 24, Place des Martyrs de la Résistance 13100 AIX EN PROVENCE			
DESIGNE(NT) EN TANT QU'INVENTEUR(S) : (Indiquez en haut à droite «Page N° 1/1» S'il y a plus de trois inventeurs, utilisez un formulaire identique et numérotez chaque page en indiquant le nombre total de pages).			
Nom		DEVIN	
Prénoms		Jean	
Adresse	Rue	C/O OMNIPAT 24 Place des Martyrs de la Résistance	
	Code postal et ville	13100	AIX EN PROVENCE
Société d'appartenance (facultatif)			
Nom			
Prénoms			
Adresse	Rue		
	Code postal et ville		
Société d'appartenance (facultatif)			
Nom			
Prénoms			
Adresse	Rue		
	Code postal et ville		
Société d'appartenance (facultatif)			
DATE ET SIGNATURE(S) DU (DES) DEMANDEUR(S) OU DU MANDATAIRE (Nom et qualité du signataire) Aix en Provence, le 21 novembre 2002 MARCHAND André - CPI N° 95 0303 OMNIPAT			

THIS PAGE BLANK (USPTO)